

# **Analyse temporelle des circuits numériques**

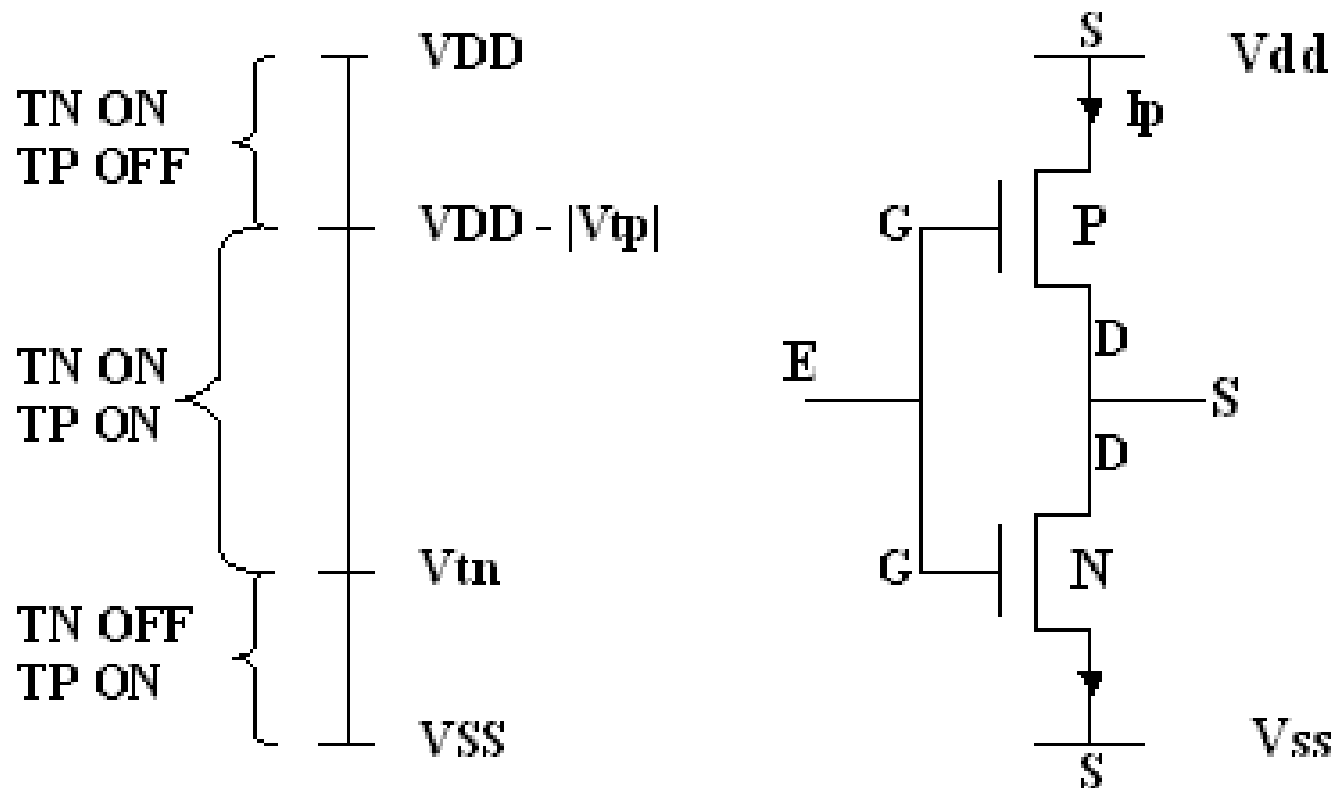
## **Modélisation statique de l'inverseur CMOS**

**MASTER ACSI M2**

**Prof. Habib MEHREZ**



# Modèle statique de l'inverseur CMOS



# Modèle statique de l'inverseur CMOS

Transistor N  $V_{GS} = E$   $V_{DS} = S$

- Région de blocage:

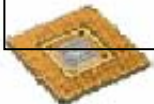
$$V_{GS} - V_{TN} < 0 \quad I_N = 0$$
$$E - V_{TN} < 0 \Rightarrow \mathbf{E < V_{TN}}$$

- Région de saturation:

$$0 < V_{GS} - V_{TN} < V_{DS} \Rightarrow \mathbf{E - V_{TN} < S}$$
$$I_N = K_n (E - V_{TN})^2$$

- Région ohmique:

$$0 < V_{DS} < V_{GS} - V_{TN} \Rightarrow \mathbf{0 < S < E - V_{TN}}$$
$$I_N = K_n [2(E - V_{TN})S - S^2]$$



# Modèle statique de l'inverseur CMOS

Transistor P  $V_{GS} = E - V_{DD}$   $V_{DS} = S - V_{DD}$   $V_{TP} < 0$

- Région de blocage:

$$V_{GS} - V_{TP} > 0 \quad I_P = 0$$

$$E - V_{DD} - V_{TP} > 0 \Rightarrow \mathbf{E > V_{DD} + V_{TP}}$$

- Région de saturation:

$$V_{DS} < V_{GS} - V_{TP} < 0$$

$$S - V_{DD} < E - V_{DD} - V_{TP} < 0 \Rightarrow \mathbf{E - V_{TP} > S}$$

$$I_P = K_P (V_{DD} - E + V_{TP})^2$$

- Région ohmique:

$$V_{GS} - V_{TP} < V_{DS} < 0$$

$$E - V_{DD} - V_{TP} < S - V_{DD} < 0 \Rightarrow \mathbf{E - V_{TP} < S}$$

$$I_P = K_P [2(V_{DD} - E + V_{TP})(V_{DD} - S) - (V_{DD} - S)^2]$$



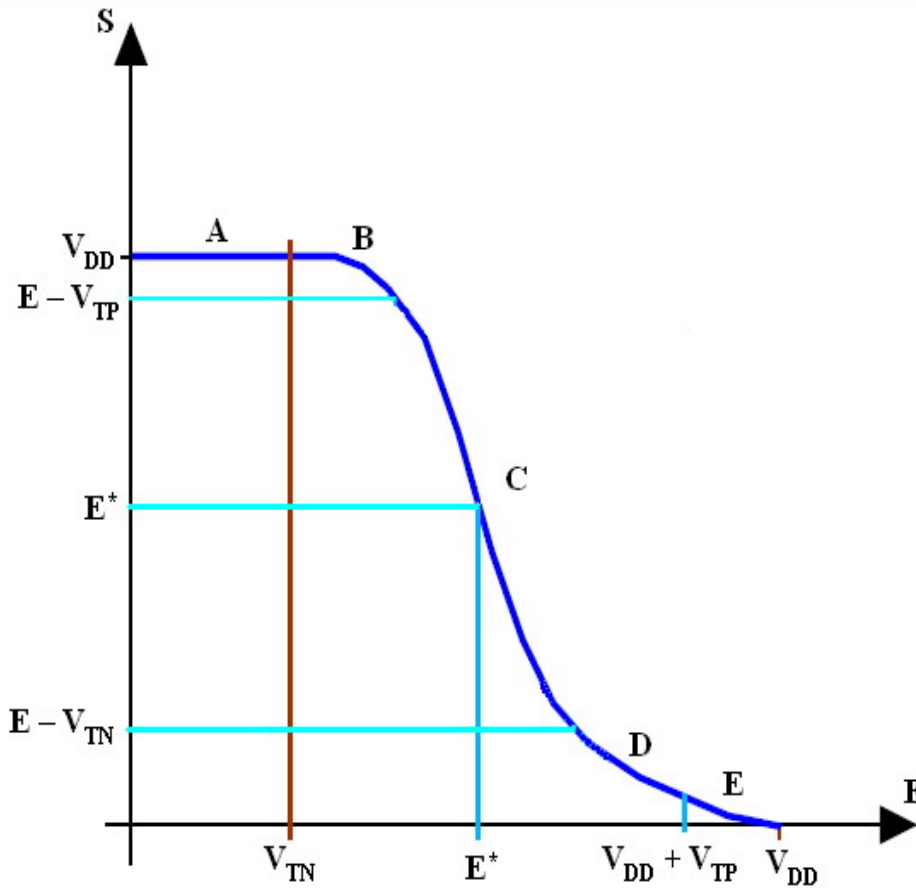
# Récapitulatif

---

<b>régions</b>	<b>transistor N</b> $V_{TN} > 0$	<b>transistor P</b> $V_{TP} < 0$
<b>blocage</b>	$E < V_{TN}$	$E > V_{DD} + V_{TP}$
<b>saturation</b>	$E - V_{TN} < S$	$E - V_{TP} > S$
<b>ohmique</b>	$E - V_{TN} > S$	$E - V_{TP} < S$



# Récapitulatif



Zone A: TN bloqué  
TP ohmique

Zone B: TN saturé  
TP ohmique

Zone C: TN saturé  
TP saturé

Zone D: TN ohmique  
TP saturé

Zone E: TN ohmique  
TP bloqué



# Etude des différents régimes de fonctionnement

---

- **Zone A**

$E < V_{TN} \Rightarrow$  TN bloqué  $\Rightarrow I_N = 0 \Rightarrow I_P = 0$

et  $S > E - V_{TP} \Rightarrow$  TN bloqué

$\Rightarrow$

$$I_P = K_P [2(V_{DD} - E + V_{TP})(V_{DD} - S) - (V_{DD} - S)^2] = 0$$

## Solution

$$V_{DD} - S = 0 \Rightarrow S = V_{DD}$$



# Etude des différents régimes de fonctionnement

## • Zone B

$E > V_{TN}$  et  $S > E - V_{TN}$  TN saturé

$S > E - V_{TP}$  TP ohmique

$$I_N = K_n (E - V_{TN})^2$$

$$I_P = K_p [2(V_{DD} - E + V_{TP})(V_{DD} - S) - (V_{DD} - S)^2]$$

$$I_N = I_P \text{ on pose } \beta_r = \frac{K_p}{K_n} \text{ et } \sigma = V_{DD} - S$$

$$\Rightarrow \sigma^2 - 2\sigma(V_{DD} - E + V_{TP}) + (E - V_{TN})^2 / \beta_r = 0$$

$$\sigma' = (V_{DD} - E + V_{TP}) - (E - V_{TN})^2 / \beta_r$$

$$\sigma = (V_{DD} - E + V_{TP}) \pm \sqrt{(V_{DD} - E + V_{TP})^2 - \frac{(E - V_{TN})^2}{\beta_r}}$$

**Solution**  $\Rightarrow$

$$S = V_{DD} - \sigma = E - V_{TP} + \sqrt{(V_{DD} - E + V_{TP})^2 - \frac{(E - V_{TN})^2}{\beta_r}}$$





# Modèle statique de l'inverseur CMOS

- **Zone C**

$S > E - V_{TN}$  TN saturé

$$I_N = K_n (E - V_{TN})^2$$

$S < E - V_{TP}$  TP saturé

$$I_P = (V_{DD} - E + V_{TP})^2$$

$$I_N = I_P$$

## Solution

$$E - V_{TN} = \sqrt{\beta_r} (V_{DD} - E + V_{TP}) \quad E^* = \frac{V_{TN} + \sqrt{\beta_r} (V_{DD} + V_{TP})}{1 + \sqrt{\beta_r}}$$

$$E - V_{TN} < S < E - V_{TP}$$

$$\beta_r = \frac{K_P}{K_N} = \frac{\mu_P / 2 * C_{ox} * W_P / L_P}{\mu_N / 2 * C_{ox} * W_N / L_N} = \frac{\mu_P W_P / L_P}{\mu_N W_N / L_N}$$

on pose  $V_{TP} = -V_{TN}$  et  $E^* = V_{DD}/2$

$$\Rightarrow \beta_r = 1 \Rightarrow \frac{W_N / L_N}{W_P / L_P} = \frac{\mu_P}{\mu_N} \approx \frac{1}{3}$$

En considérant  $L_N = L_P \Rightarrow W_P \approx 3W_N$



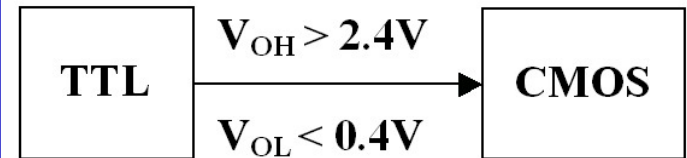
# Modèle statique de l'inverseur CMOS

- Application

## CMOS

Ex:

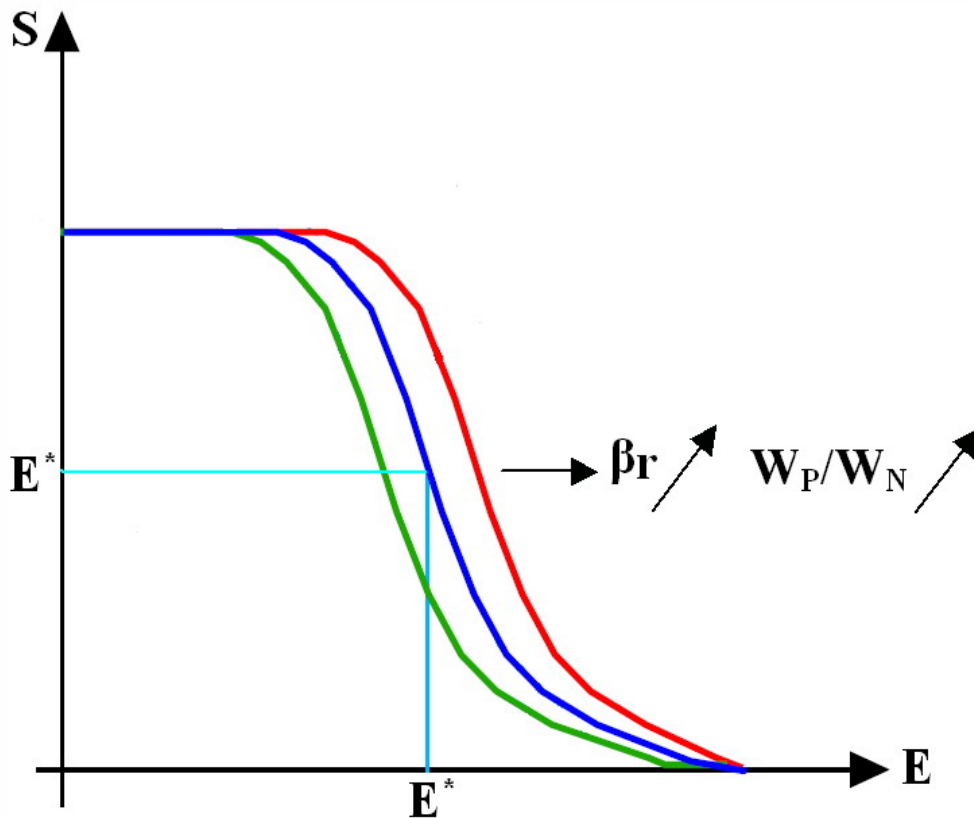
plot d'entrée compatible  
TTL pour CMOS



Compatibilité (Etat haut)

$\Rightarrow E^* \searrow$

$\Rightarrow W_P/W_N \searrow$



# Modèle statique de l'inverseur

## • Zone D CMOS

$S < E - V_{TN}$  TN ohmique

$S < E - V_{TP}$  TP saturé

$$I_N = I_P \Rightarrow K_n [2(E - V_{TN})S - S^2] = K_p (V_{DD} - E + V_{TP})^2$$

$$\Rightarrow S^2 - 2(E - V_{TN})S + \beta_r (V_{DD} - E + V_{TP})^2 = 0$$

$$\Delta' = (E - V_{TN})^2 - \beta_r (V_{DD} - E + V_{TP})^2$$

### Solution

$$S = E - V_{TN} - \sqrt{(E - V_{TN})^2 - \beta_r (V_{DD} - E + V_{TP})^2}$$



# Modèle statique de l'inverseur CMOS

---

- Zone E

$$\mathbf{E} > \mathbf{V}_{DD} + \mathbf{V}_{TP}$$

$\Rightarrow I_p = \mathbf{0}$  TP bloqué

$$\mathbf{S} < \mathbf{E} - \mathbf{V}_{TN}$$

$\Rightarrow$  TN ohmique

$$I_N = K_n [2(\mathbf{E} - \mathbf{V}_{TN})\mathbf{S} - \mathbf{S}^2] = 0$$

$\Rightarrow \underline{\mathbf{S} = \mathbf{0}}$



# Modèle statique de l'inverseur CMOS

- A.N et Récapitulatif:  $V_{DD}=5V$   $V_{TN}=1V$   $V_{TP}=-1V$   $\beta_r=1$

Zone	condition	TP	TN	Sortie S
A	$0 \leq E < V_{TN}$	ohmique	bloqué	$S=V_{DD}$
B	$V_{TN} \leq E < V_{DD}/2$	ohmique	saturé	$S=(E+1)+\sqrt{15-6E}$
C	$E \approx V_{DD}/2$	saturé	saturé	$S \neq f(E) \approx V_{DD}/2$
D	$V_{DD}/2 < E < V_{TN}+V_{TP}$	saturé	ohmique	$S=(E-1)-\sqrt{6E-15}$
E	$E \geq V_{TN}+V_{TP}$	bloqué	ohmique	$S \approx 0$

