

Examen CCIAC

Conception de Circuits Intégrés Analogique CMOS

Master ACSI, 1^{ère} Année

Cours : Hassan Aboushady

- Durée 2 heures
- Tous les documents sont autorisés
- Pour vos calculs, utiliser les paramètres de la technologie CMOS données dans la Figure 2.
- $\epsilon_{ox} = 34.5e-12$ F/m
 $c_{ox} = \epsilon_{ox} / t_{ox}$

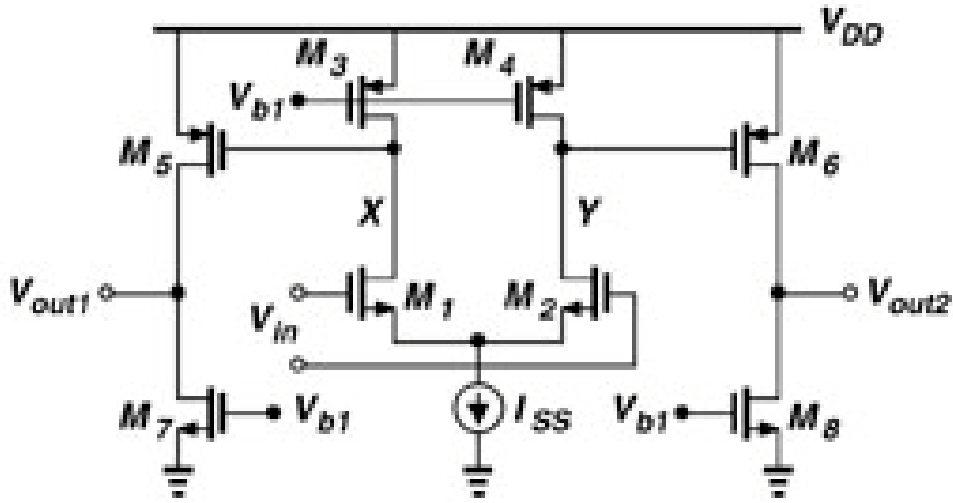


Figure 1

Dans le schéma de la Figure 1, le circuit est parfaitement symétrique (c.à.d. $M_1=M_2$, $M_3=M_4$, $M_5=M_6$, $M_7=M_8$, ...). On supposera que tous les transistors fonctionnent dans le régime saturé et qu'ils ont tous la même tension effective de grille, $V_{EG} = V_{GS} - V_{TH}$.

(1) Sachant que les gains DC des 2 étages de l'amplificateur sont égaux ($A_{v1} = A_{v2}$), trouver une expression du gain DC total de l'amplificateur ($A_v = A_{v1} A_{v2}$) en fonction de V_{EG} et des paramètres LAMBDA des transistors NMOS et PMOS. (2 points)

(2) Trouver la valeur de V_{EG} pour $A_v = 50 \text{ dB}$. (2 points)

(3) La somme des capacités parasites au nœud Y est égale à C_y , la somme des capacités parasites et la capacité de charge au nœud V_{out} est égale à C_{out} , en supposant que le courant du 2^{ème} étage est égale à $I_o = \alpha I_{SS}$, trouver le rapport α afin d'obtenir un pôle dominant, ω_y , au nœud Y à une fréquence 10 fois inférieure à celle du second pôle, ω_{out} , dû au nœud de sortie V_{out} , (c.à.d. $\omega_y = \omega_{out} / 10$) ceci en supposant que $C_{out} = 2 C_y$. (2 points)

(4) En prenant, $I_{SS} = 10 \mu\text{A}$, et sachant que tous les transistors ont la même longueur, $L = 2 \mu\text{m}$, calculer les largeurs de tous les transistors de l'amplificateur 2 étages de la Figure 1. (Pour ce calcul, négliger l'effet de la modulation du canal). (2 points)

(5) En supposant que C_y est essentiellement due à la capacité grille-source, C_{GS} , du transistor M_6 , calculer la valeur de C_y . (1 point)

(6) Trouver les fréquences en rad/sec et en Hz des pôles dus aux nœuds Y et V_{out} . (1 point)

(7) Cet amplificateur est utilisé dans une boucle de contre-réaction avec un gain unitaire (unity-gain feedback loop), calculer la marge de phase ? (3 points)

(8) Tracer un diagramme de bode approximatif de ce système (amplitude et phase). (1 point)

(9) On rajoute une capacité de compensation C_c entre les nœuds Y et V_{out} . Quelle est la nouvelle fréquence du second pôle, ω_{out} ? (2 points)

(10) Quelle doit être la valeur de la capacité de compensation C_c afin d'obtenir une marge de phase de 60° ? Tracer un diagramme de bode approximatif du système compensé (amplitude et phase). (4 points)

Table 2.1 Level 1 SPICE Models for NMOS and PMOS Devices.

NMOS Model			
LEVEL = 1	VTO = 0.7	GAMMA = 0.45	PHI = 0.9
NSUB = 9e+14	LD = 0.08e-6	UO = 350	LAMBDA = 0.1
TOX = 9e-9	PB = 0.9	CJ = 0.56e-3	CJSW = 0.35e-11
MJ = 0.45	MJSW = 0.2	CGDO = 0.4e-9	JS = 1.0e-8
PMOS Model			
LEVEL = 1	VTO = -0.8	GAMMA = 0.4	PHI = 0.8
NSUB = 5e+14	LD = 0.08e-6	UO = 100	LAMBDA = 0.2
TOX = 9e-9	PB = 0.9	CJ = 0.94e-3	CJSW = 0.32e-11
MJ = 0.5	MJSW = 0.3	CGDO = 0.3e-9	JS = 0.5e-8

VTO: threshold voltage with zero V_{SB} (unit: V)

GAMMA: body effect coefficient (unit: $V^{1/2}$)

PHI: $2\Phi_F$ (unit: V)

TOX: gate oxide thickness (unit: m)

NSUB: substrate doping (unit: cm^{-3})

LD: source/drain side diffusion (unit: m)

UO: channel mobility (unit: cm^2/Vs)

LAMBDA: channel-length modulation coefficient (unit: V^{-1})

CJ: source/drain bottom-plate junction capacitance per unit area (unit: F/m^2)

CJSW: source/drain sidewall junction capacitance per unit length (unit: F/m)

PB: source/drain junction built-in potential (unit: V)

MJ: exponent in CJ equation (unitless)

MJSW: exponent in CJSW equation (unitless)

CGDO: gate-drain overlap capacitance per unit width (unit: F/m)

CGSO: gate-source overlap capacitance per unit width (unit: F/m)

JS: source/drain leakage current per unit area (unit: A/m^2)

Figure 2: Attention aux unités de la mobilité !